

#2

**THE UNITED STATES PATENT AND TRADEMARK OFFICE**

JC972 U.S. PTO  
09/804520  
03/12/01

In re the Application of : **Kazutomo HASEGAWA**

Filed : **Concurrently herewith**

For : **BIT ALLOCATION METHOD AND APPARATUS...**

Serial No. : **Concurrently herewith**

March 12, 2001

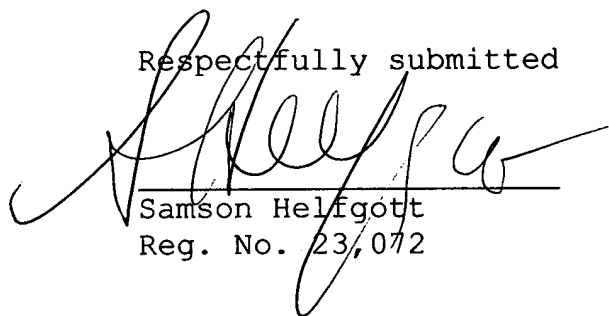
Assistant Commissioner of Patents  
Washington, D.C. 20231

**SUBMISSION OF PRIORITY DOCUMENT**

S I R:

Attached herewith are Japanese patent application No.  
2000-319043 of October 19, 2000 whose priority has been claimed  
in the present application.

Respectfully submitted

  
Samson Helfgott  
Reg. No. 23,072

HELFGOTT & KARAS, P.C.  
60th FLOOR  
EMPIRE STATE BUILDING  
NEW YORK, NY 10118  
DOCKET NO.: FUSA 18.447  
BHU:priority

Filed Via Express Mail  
Rec. No.: EL522402296US  
On: March 12, 2001  
By: Brendy Lynn Belony  
Any fee due as a result of this paper,  
not covered by an enclosed check may be  
charged on Deposit Acct. No. 08-1634.

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年10月19日

出 願 番 号

Application Number:

特願2000-319043

出 願 人

Applicant (s):

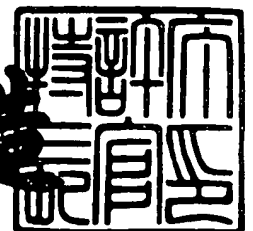
富士通株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年12月22日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3107978

【書類名】 特許願

【整理番号】 0000813

【提出日】 平成12年10月19日

【あて先】 特許庁長官殿

【国際特許分類】 H04M 11/06

【発明の名称】 ビットアロケーション方法及び装置

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 長谷川 一知

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100084711

【弁理士】

【氏名又は名称】 齋藤 千幹

【電話番号】 043-271-8176

【手数料の表示】

【予納台帳番号】 015222

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704946

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ビットアロケーション方法及び装置

【特許請求の範囲】

【請求項1】 マルチキャリア伝送において各キャリアに割り当てる伝送ビット数及び利得を決定するビットアロケーション方法において、

SN比に基づいて各キャリアに伝送ビット数を割り当て、

割り当てビット数が最大制限数と等しいキャリアの利得を減小し、かつ、前記キャリア以外のキャリアの利得を増加し、

減小分の利得の総和と増加分の利得の総和が等しくなるように制御して各キャリアへ割り当てる伝送ビット数の総和を増加する、

ことを特徴とするビットアロケーション方法。

【請求項2】 マルチキャリア伝送において各キャリアに割り当てる伝送ビット数及び利得を決定するビットアロケーション方法において、

SN比に基づいて各キャリアに伝送ビット数を割り当て、

ビットが割り当てられていないキャリアのうち、利得を増加すれば新たにビットが割り当てられる可能性が高いキャリアの利得を増加し、かつ、該キャリア以外のキャリアの利得を減小し、

増加分の利得の総和と減小分の利得の総和が等しくなるように制御して各キャリアへ割り当てる伝送ビット数の総和を増加する、

ことを特徴とするビットアロケーション方法。

【請求項3】 マルチキャリア伝送において各キャリアに割り当てる伝送ビット数及び利得を決定するビットアロケーション方法において、

SN比に基づいて各キャリアに伝送ビット数を割り当て、

ビットが割り当てられていないキャリアのうち、利得を増加しても新たにビットが割り当てられる可能性が低いキャリアの利得を減小し、かつ、該キャリア以外のキャリアの利得を増加し、

減小分の利得の総和と増加分の利得の総和が等しくなるように制御して各キャリアへ割り当てる伝送ビット数の総和を増加する、

ことを特徴とするビットアロケーション方法。

【請求項4】 マルチキャリア伝送において各キャリアに割り当てる伝送ビット数及び利得を決定するビットアロケーション装置において、

各キャリアのSN比を測定するSN比測定部、

SN比に基づいて各キャリアに伝送ビット数を割り当て、しかる後、割り当てビット数が最大制限数と等しいキャリアの利得を減小し、かつ、該キャリア以外のキャリアの利得を増加し、減小分の利得の総和と増加分の利得の総和が等しくなるように制御して各キャリアに割り当てるビット数、利得を決定する制御部、

キャリア毎に割り当てられたビット数及び利得を保存するアロケーションテーブル、

アロケーションテーブルの内容を通信相手側に送信する送信部、

通信相手から送信されたデータを受信、復調する受信部に前記各キャリアの割り当てビット数及び利得を設定する設定部、

を備えたことを特徴とするビットアロケーション装置。

【請求項5】 マルチキャリア伝送において各キャリアに割り当てる伝送ビット数及び利得を決定するビットアロケーション装置において、

各キャリアのSN比を測定するSN比測定部、

SN比に基づいて各キャリアに伝送ビット数を割り当て、しかる後、ビットが割り当てられていないキャリアのうち、利得を増加すれば新たにビットが割り当てられる可能性が高いキャリアの利得を増加し、かつ、該キャリア以外のキャリアの利得を減小し、増加分の利得の総和と減小分の利得の総和が等しくなるように制御して各キャリアへ割り当てるビット数、利得を決定する制御部、

キャリア毎に割り当てられたビット数及び利得を保存するアロケーションテーブル、

アロケーションテーブルの内容を通信相手側に送信する送信部、

通信相手から送信されたデータを受信、復調する受信部に前記各キャリアの割り当てビット数及び利得を設定する設定部、

を備えたことを特徴とするビットアロケーション装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はビットアロケーション方法及び装置に係わり、特に、マルチキャリア伝送方式において各キャリアに割り当てるビット数、利得を決定するビットアロケーション方法及び装置に関する。

【0002】

【従来の技術】

近年、インターネット等のマルチメディア型サービスが一般家庭を含めて社会全体へと広く普及してきており、このようなサービスを利用するための経済的で信頼性の高いデジタル加入者線伝送システム及びデジタル加入者線伝送装置の早期提供が強く求められている。

【0003】

ところで、通信回線を新たに敷設するためには、膨大なコストと時間が必要となる。このため、既存の通信回線を利用して高速にデータ通信を行なうデジタル加入者線伝送システムが提案されている。このデジタル加入者線伝送システムを提供する技術として、xDSL (Digital Subscriber Line)が知られている。xDSLは電話回線を利用した伝送方式で、かつ、変復調技術の一つである。このxDSLは、大きく分けて加入者宅(以下、加入者側と呼ぶ)から収容局(以下、局側と呼ぶ)への上り伝送速度と、局側から加入側への下り伝送速度が、対称のものと非対称のものに分けられる。非対称型のxDSLとしてADSL (Asymmetric DSL)があり、対称型のxDSLにはHDSL (High-bit-rate DSL)、SHDSL (Single-pair High-bit-rate DSL)がある。ADSLは、下り伝送速度として数Mビット/秒程度、上り伝送速度として数百kビット/秒程度を実現し、その変調方式としてDMT (Discrete Multiple tone)変調方式がITU-Tにより標準化されている。

【0004】

・ DMT変調方式

DMT変調方式を局側から加入者側への下り方向の変復調について説明する。

DMT変調方式では、例えば図12に示すように1.104MHzの周波数帯域を $\Delta f (= 4.3125\text{KHz})$ 間隔の $N (=255)$ 個のマルチキャリア#1～#255に周波数分割する。そして、通信に先立って行われるトレーニングにおいて各キャリア#1～#255のSN比を

測定し、SN比に応じて各キャリアにおいて4-QAM, 16-QAM, 64-QAM, 128-QAM...のいずれの変調方式でデータを送信するか決定する。たとえば、SN比が小さいキャリアには4-QAMを割り当て、順次SN比が大きくなるにつれ16-QAM, 64-QAM, 128-QAM..を割り当てる。なお、4-QAMは2ビットづつ送信する変調方式、16-QAMは4ビットづつ送信する変調方式、64-QAMは6ビットづつ送信する変調方式、128-QAMは7ビットづつ送信する変調方式...である。上り/下り同時に信号を伝送する方式のうち、周波数分割伝送方式では、255キャリアのうち、キャリア#1～#31が加入者側から局側への上り方向用として用いられ、キャリア#33～#255が局側から加入者側への下り方向用に用いられる。

## 【 0 0 0 5 】

図 1 3 は16-QAMの説明図であり、シリアル/パラレル変換部 (S/P変換部) 1 はビットシリアルに入力する送信データを4ビットづつ順次バッファに記憶すると共に、4ビットを2ビットの並列データ( $a_i, b_i$ ), ( $a_{i+1}, b_{i+1}$ )にして出力する。第1の2値/4値変換部2は並列データ( $a_i, b_i$ )を4値(-3, -1, +1, +3)に変換し、第2の2値/4値変換部3は並列データ( $a_{i+1}, b_{i+1}$ )を4値(-3, -1, +1, +3)に変換する。キャリア発生部4は周波数 $f_c$  ( $\omega_c = 2\pi f_c$ )の余弦波 $\cos(\omega_c t)$ を発生し、移相器5は余弦波の位相を $90^\circ$ シフトして正弦波 $\sin(\omega_c t)$ を出力する。AMモデューレータ6は第1の2値/4値変換部2の出力と正弦波 $\sin(\omega_c t)$ を乗算し、AMモデューレータ7は第2の2値/4値変換部3の出力と余弦波 $\cos(\omega_c t)$ を乗算し、加算器8は各AMモデューレータ6, 7の出力を合成して出力する。以上により、16-QAM変調器は並列データ( $a_i, b_i$ ), ( $a_{i+1}, b_{i+1}$ )の組み合わせに応じて図示する2次元信号点配置(コンステレーション)を有する信号を出力する。例えば、4ビットづつ分けたときのデータが1001, 0011, 1100, 0110であれば、2次元信号点配置①→②→③→④の信号が出力する。

## 【 0 0 0 6 】

図 1 4 はDMT変調方式の原理説明図である。S/P変換部 1 1 はビットシリアルの送信データのうち、ある一定周期内に送信すべきビット列を内蔵のバッファに記憶し、しかる後、キャリアマップ (carrier mapper) 1 2 に出力する。この一定周期内に送出されるデータをシンボルと呼ぶ。キャリアマップ 1 2 は、各キャリ

アでのQAM変調方式が判っているから、各キャリアのQAM変調方式に応じたビット数  $b_k$  ずつ 1 シンボル分のビット列を分割し、該キャリアのQAM変調器 1 3 i に入力する。よって、1 シンボル当りの総出力ビット数は  $\sum b_k (k=1 \sim N)$  となる。周波数多重部 1 4 は各キャリアのQAM変調器 1 3 i から出力するQAM変調信号を周波数多重して伝送路駆動回路(図示せず)を介して伝送路に送出する。

ここで、周波数多重部 1 4 では、IFFT(Inverse Fast Fourier Transform; 逆高速フーリエ変換)を行う演算部を設けてDMT変調方式による伝送を行う。

【0 0 0 7】

図 1 5 はDMT変調方式による加入者線伝送システムの機能ブロック図である。入力された加入者宛の送信データは直列並列変換用のバッファ (Serial to Parallel Buffer) 1 0 に 1 シンボル時間 ( $=1/4000$  sec) 分ストアされる。ストアされたデータは、トレーニングにより前もって決められて送信 B & G 制御部 6 0 に保存されている各キャリア当たりの伝送ビット数毎に分割されて、エンコーダ 2 0 に入力する。すなわち、トレーニングにより各キャリアでのQAM変調方式が判っているから、各キャリアのQAM変調方式に応じたビット数  $b_k$  ずつ 1 シンボル分のビット列を分割し、エンコーダ 2 0 に入力する。よって、1 シンボル当りの総出力ビット数は  $\sum b_k (k=1 \sim N)$  となる。エンコーダ 2 0 は、入力された各ビット列  $b_k$  をそれぞれ直交振幅変調(QAM)するための信号点データ(コンステレーションダイアグラム上の信号点データ)に変換して逆高速フーリエ変換器(IFFT: Inverse Fast Fourier Transformer) 3 0 に入力する。IFFT 3 0 はIFFT演算を行うことでそれぞれの信号点について直交振幅変調を行い、次段の並列直列変換用のバッファ(Parallel to Serial Buffer) 4 0 に入力する。ここで、IFFT出力の  $2 \times N (=512)$  サンプルのうち480~511のトータル32個のサンプルをサイクリックプレフィクス(Cyclic Prefix)としてDMTシンボルの先頭に付加する。並列直列変換用バッファ 4 0 は512+32個のサンプルデータを順次直列にDAコンバータ 5 0 へ入力する。DAコンバータは2.208MHzのサンプリング周波数で入力ディジタルデータをアナログ信号に変換し、メタリック回線 7 0 を経由して加入者側に伝送する。

。

【0 0 0 8】



加入者側では、ADコンバータ 8 0 が入力アナログ信号を2.208MHzのデジタル信号に変換し、時間領域等化器 (Time domain Equalizer:TEQ) 9 0 に入力する。TEQ 9 0 はシンボル間干渉 (Inter Symbol Interference:ISI) が32サンプルのCyclic Prefix内に収まるように入力デジタルデータに処理を施し、処理結果データを直列並列変換用バッファ 1 0 0 に入力する。直列並列変換用バッファ 1 0 0 は1 DMTシンボル分のデータをストアし、しかる後、Cyclic Prefixを除去し、1 DMTシンボル分のデータを並列的に同時に高速フーリエ変換器(FFT) 1 1 0 に入力する。FFT 1 1 0 は高速フーリエ変換をおこない、255個の信号点を発生(復調)する。周波数領域等化器(Frequency domain Equalizer:FEQ) 1 2 0 は、復調した255の信号点データにチャネル間干渉(Inter Channel Interference:ICI)の補償を施し、デコーダ 1 3 0 は送信 B & G 制御部 6 0 と同じ値を保持する受信 B & G 制御部 1 5 0 に従って255個の信号点データをデコードし、デコードにより得られたデータを並列直列変換用バッファ 1 4 0 にストアする。以後、該バッファからビットシリアルに1ビットずつ出力し受信データとなる。

上記マルチキャリア伝送方式の詳細は、John.A.C.Bingham著、"Multicarrier Modulation for Data Transmission: An Idea Whose Time Has Come", IEEE Communications Magazine, Volume 28, Number 5, pp.5-14, May 1990"に開示されている。

#### 【0 0 0 9】

##### ・割り当てビットの設定

各キャリアに割り当てるビット数は、受信側が決める。すなわち、上り信号用の割当ビット数は局側で決め、下り信号用の割当ビット数は加入者側で決める。トレーニング時、局側および加入者側のADSL装置はB & G (bit & gain)と呼ばれるプロトコルに従って割り当てビットを決定する。

#### 【0 0 1 0】

図 1 6 は下り方向の B & G プロトコルの概略説明図である。①トレーニング時、互いのADSL装置を認識し合った後、たとえば、局側ADSL装置ATU-Cはいくつかの周波数信号を対向する加入者側ADSL装置ATU-Rに送る。②加入者側のADSL装置ATU-Rは各キャリア毎のSN比を計算する。③ついで、加入者側のADSL装置ATU-Rは

計算したSN比に基づいて各キャリアの割り当てビットを決定し、局側のADSL装置ATU-Cに該割り当てビットと送出レベル(利得)を通知する。④局側ADSL装置ATU-Cは通知された割り当てビットおよび送出レベル情報を基にしてDMT変調してデータ送信する。

各キャリアの割り当てビット数及び利得を示すアロケーションテーブルの設定方法の一例は、Peter S.Chow, John M.Cioffi著、"Method and apparatus for adaptive, variable bandwidth, high-speed data transmission of a multi-carrier signal over digital subscriber lines", US patent No.5,479,447に開示されているが、ここではその基礎となる理論について簡単に説明する。

【0011】

図17はFEQ 120(図15)の出力における、各周波数に対する受信信号とその受信信号が受ける雑音との大きさの比を表すSN比曲線(S/N曲線)と、各キャリアに割り当てられるビット数との関係を示している。ここで、周波数 $n \cdot f_d$ であるキャリア#nにおいて、周波数 $n \cdot f_d$ のときのS/N比を $SNR_n$ とすると、キャリア#nに割り当てられるべき最適ビット数 $b_n$ は次式

$$b_n = \log_2(1 + SNR_n / \Gamma) \quad (1)$$

により算出される。ただし、nはN以下の正の整数、 $f_d$ =キャリア間隔で、図12の例では $N=255$ 、 $f_d=4.3125\text{KHz}$ であり、 $\Gamma$ はSNRギャップである。

最適ビット数 $b_n$ は、図17に点線で示されている通り多くの場合は小数の値を取る。例えば、キャリア#6(=周波数 $6 \cdot f_d$ )のときのS/N比 $SNR_6$ を(1)式に入力すると最適ビット数 $b_6$ は約4.2ビットとなり少数値を取る。ところが、実際に各キャリアに割り当てられるビット数は、整数の値しか取り得ないので、先に算出した小数の値を切り捨てた実線の値が、実際に各キャリアに割り当てられるビット数となる。先の例では、約4.2ビットを切り捨てた4ビットが、キャリア#6に割り当てられることになる。同様に他のキャリアも小数が切り捨てられてビットが割当てられ、キャリアと割当てビットの関係は図17に示すようになる。尚、(1)式により算出される最適ビット数が1.0以上2.0未満であるとき、現在では、図17に示すように1ビットも割り当てないことになっている。また、割り当てビットの最大制限数を5ビットとすれば、図17の点線で示される最適割り当てビット数

が6.0以上の場合でも、実際に割り当てられるビット数は、図17の実線で示されるように、5ビットに制限される。

#### 【0012】

以上の例では、小数値を切り捨てて実際に各キャリアに割り当てるビット数を決定するが、切り捨てずに利用する方法もある。例えば、(1)式により最適ビット数 $b_6$ が約4.2ビットと算出された場合、0.8ビット分割り当てて、合計5ビットするのに必要なパワー $\Delta x$ を求め、この $\Delta x$ とパワーアップによる割り当てビット数(この例では5)を受信側が持つ受信B&G制御部150に保持し、同時に、送信側の送信B&G制御部60に通知する。尚、元のパワーを正規化して1とすればパワーを $\pm \Delta x$ 増減することは加算利得を $\pm \Delta x$ することと同じである。

実際は、データ通信が始まる前のトレーニング時に、更新した受信アロケーションテーブルの内容を受信側より送信側に通知し、送信側が持つ送信B&G制御部のビットアロケーションテーブルを、受信側のビットアロケーションテーブルと同じ内容になるように更新する。そして、送信側では更新したビットアロケーションテーブルの情報をもとに、データを送信する。この例では、キャリア#6は、割り当てビットを5ビット、加算利得を $\Delta x$ として送信することになる。なお、キャリアの加算利得を変化させて $\Delta x$ とした場合には、別のキャリアの利得を $-\Delta x$ として、全キャリアトータルの加算利得の合計が0となるようにする。これは、送信電力を一定にし、その線形特性部分で使用する必要があるためである。

#### 【0013】

##### 【発明が解決しようとする課題】

以上説明したように、従来のビットアロケーションでは、FEQ 120の出力におけるS/N比から1ビット割当てを増加するにはどの程度の加算利得が必要なのかを算出し、その加算利得を考慮に入れて(1)式により割り当てビット数を算出している。この方法は、最適な加算利得を算出することで、良好なビット割り当てを得ることができるのだが、最適な加算利得を算出する過程が複雑になり、短時間で最適な加算利得、ビット割り当てを取得できない問題があった。

そこで、加算利得を求める過程を簡単にして短時間で最適な加算利得、ビット割り当てを算出できるビットアロケーション方法及び装置が求められている。

本発明はこのような状況に鑑みてなされたものであり、その目的は短時間で最適な加算利得、ビット割り当てを算出できるようにすることである。

本発明の別の目的は、パワーを増大せずに各キャリアへ割り当てる伝送ビット数の総和を増加することができ、マルチキャリア伝送装置の伝送能力をアップすることである。

【 0 0 1 4 】

【課題を解決するための手段】

・ 第 1 の解決手段

本発明は、マルチキャリア伝送において各キャリアに割り当てる伝送ビット数及び利得を決定するビットアロケーション方法及び該方法を実施するビットアロケーション装置である。本発明のビットアロケーション方法では、(1) SN比に基づいて各キャリアに伝送ビット数を割り当て、(2) しかる後、割り当てビット数が最大制限数と等しいキャリアの利得を減小し、かつ、前記キャリア以外のキャリアの利得を増加し、(3) 減小分の利得の総和と増加分の利得の総和が等しくなるように制御して各キャリアへ割り当てる伝送ビット数の総和を増加する。

各キャリアに割り当てられるビット数は、誼キャリアのSN比に応じて決まるが、どんなにSN比が良くても最大制限数以上に割り当てビット数を増加することはできない。換言すれば、最大制限数が割り当てられたキャリアには利得において余力がある。そこで、余力分の利得を減小し、他のキャリアの利得を増加すれば、割り当てビット数の総和を増加できる。本発明はかかる点に着目したものであり、パワーを増大せずに各キャリアへ割り当てる伝送ビット数の総和を増加することができ、マルチキャリア伝送装置の伝送能力をアップできる。

この場合、利得を増加するキャリアは、割り当てビット数が大きいキャリアとする。これは、割り当てビット数の大きなキャリアの方が割り当てビット数の小さなキャリアに比べて少ないパワーで1ビット増加できるからである。

【 0 0 1 5 】

・ 第 2 の解決手段

本発明の別のビットアロケーション方法では、(1) SN比に基づいて各キャリアに伝送ビット数を割り当て、(2) しかる後、ビットが割り当てられていないキ

キャリアのうち、利得を増加すれば新たにビットが割り当てられる可能性が高いキャリアの利得を増加し、かつ、該キャリア以外のキャリアの利得を減小し、(3) 増加分の利得の総和と減小分の利得の総和が等しくなるように制御して各キャリアへ割り当てる伝送ビット数の総和を増加する。

SN比が足りずに伝送ビットを1つも割り当てられなかったキャリアであっても利得を増加すれば一気に2ビットの伝送が可能になる(1ビットのQAM変調はないから)。そこで、伝送ビットを割り当てられなかったキャリアの利得を増加し、他のキャリアの利得を減小すれば、割り当てビット数の総和を増加できる。本発明はかかる点に着目したものであり、パワーを増大せずに各キャリアへ割り当てる伝送ビット数の総和を増加することができ、マルチキャリア伝送装置の伝送能力をアップできる。

この場合、前記利得を減小するキャリアは、割り当てビット数が2以外のキャリアで、割り当てビット数が少ないキャリアとする。これは、割り当てビット数が2のキャリアの利得を減小すると、利得減小により割り当てビット数が2から0になる場合があるからである。又、割り当てビット数の少ないキャリアの方が割り当てビット数の多いキャリアに比べて大きいパワーで割り当てビットを減小するからである。

【0016】

・第3の解決手段

本発明の更に別のビットアロケーション方法では、(1) SN比に基づいて各キャリアに伝送ビット数を割り当て、(2) しかる後、ビットが割り当てられていないキャリアのうち、利得を増加しても新たにビットが割り当てられる可能性が低いキャリアの利得を減小し、かつ、該キャリア以外のキャリアの利得を増加し、(3) 減小分の利得の総和と増加分の利得の総和が等しくなるように制御して各キャリアへ割り当てる伝送ビット数の総和を増加する。

SN比が足りずに伝送ビットを割り当てられなかったキャリアであっても利得を増加しても新たにビットが割り当てられる可能性が低いキャリアは無用である。そこで、ビットが割り当てられていないキャリアのうち、利得を増加しても新たにビットが割り当てられる可能性が低いキャリアの利得を減小し、かつ、該キャ

リア以外のキャリアの利得を増加すれば、割り当てビット数の総和を増加できる。本発明はかかる点に着目したものであり、パワーを増大せずに各キャリアへ割り当てる伝送ビット数の総和を増加することができ、マルチキャリア伝送装置の伝送能力をアップできる。

この場合、前記利得を増加するキャリアは、ビット割当て数が最大制限数と等しいキャリア以外のキャリアである。これは、ビット割当て数が最大制限数と等しいキャリアの利得を増加しても割り当てビット数は増加しないからである。

【0017】

#### 【発明の実施の形態】

##### (A) 構成

図1は本発明のDMT変調方式による加入者線伝送システムの構成図であり、局側xDSL装置200と加入者側xDSL装置300間は電話回線（メタリック回線）400により双方向に通信可能に接続されている。

局側xDSL装置200と加入者側xDSL装置300の送信部210、310は図15に示す送信側の構成10～50と同一の構成を備え、受信部220、320は図15に示す受信側の構成80～140と同一の構成を備えている。局側xDSL装置200の送信B&G制御部230は図15の送信B&G制御部60に対応し、加入者側xDSL装置300の受信B&G制御部330は図15の受信B&G制御部150に対応している。

送信B&G制御部230及び受信B&G制御部330には、下り方向のB&Gプロトコルを実現する構成のみが示され、上り方向のB&Gプロトコルを実現する構成は省略されている。しかし、上り方向のB&Gプロトコルを実現する構成は下り方向のB&Gプロトコルを実現する構成と同様であり、共用できる部分は共用化される。

送信B&G制御部230は、受信B&G制御部330から送られてくるビットアロケーションテーブルを記憶してビット数B及びゲイン（利得）Gを各キャリアに割り当てるビット／ゲイン割り当て部231、ビットアロケーションテーブルを記憶するアロケーションテーブル記憶部232、割り当てられたビット数B及びゲインGをキャリア毎に送信部210のシリアル／パラレル変換部10やエ

ンコーダ 2 0 に設定するビット／ゲイン設定部 2 3 3 を備えている。

受信 B & G 制御部 3 3 0 は、FEQ 1 2 0 の出力より各キャリアの S/N を測定する SN 測定部 3 3 1、各キャリアの S/N に基づいてビット／ゲインを各キャリアに割り当てるビット／ゲイン割り当て部 3 3 2、キャリアと該キャリアに割り当てるビット／ゲインの対応テーブル（ビットアロケーションテーブル）を保持するアロケーションテーブル記憶部 3 3 3、割り当てられたビット数 B 及びゲイン G を受信部 3 2 0 のデコーダ 1 3 0 やパラレル／シリアル変換部 1 4 0 に設定する割り当てビット／ゲイン設定部 3 3 4 を備えている。尚、ビット／ゲイン割り当て部 3 3 2 は生成したビットアロケーションテーブルを送信部 3 1 0 → メタリック回線 4 0 0 → 受信部 2 2 0 を介して送信 B & G 制御部 2 3 0 に送出する。

【 0 0 1 8 】

#### （B）第 1 のアロケーション方法

マルチキャリア伝送において、各キャリアに割り当てられるビット数は、SN 比に応じて決まるが、どんなに SN 比が良くても最大制限数以上に割り当てビット数を増加することはできない。換言すれば、最大制限数が割り当てられたキャリアには利得において余力がある。そこで、余力分の利得を減小し、他のキャリアの利得を増加すれば、割り当てビット数の総和を増加できる。本発明は、かかる点に着目してなされたものである。

【 0 0 1 9 】

図 2 は本発明の受信 B & G 制御部 3 3 0 による第 1 のビットアロケーションのアルゴリズム、図 3 は第 1 のビットアロケーション方法の説明図である。

まず、既知の方法によるビットアロケーションを行い（ステップ 5 0 1）、全キャリアに割り当てた合計ビット数  $b_{base}$  を算出する（ステップ 5 0 2）。図 3 に従って説明すると、ビット／ゲイン割り当て部 3 3 2 は SN 測定部 3 3 1 で求めた S/N 曲線に基づいて (1) 式により最適割り当てビット数  $b_n$  を決定する（図 3 の点線参照）。この点線で示されている最適割り当てビット数の小数点を切り捨てた実線が、既知のビットアロケーション方法で割り当てられたビット数となる。尚、割り当てビットの最大制限数を 5 ビットとすれば、点線で示される最適割り当てビット数が 6. 0 以上の場合でも、実際に割り当てられるビット数は 5 ビット

に制限される。以上の既知のビットアロケーション方法によれば、図 1 7 に示すように各キャリア # 1 ~ # 1 2 にビットが割り当てられ、 $b\_base = 35$  となる。

ステップ 5 0 2 において合計ビット数  $b\_base$  の算出が完了すれば、ビット／ゲイン割当て部 3 3 2 は最大制限数 (= 5) のビットが割り当てられたキャリア範囲  $\#n\_max\_1 \sim \#n\_max\_k$  を確認する (ステップ 5 0 3)。図 3 において、最大制限数である 5 ビットが割り当てられているキャリア範囲は #2 ~ #5 であり、 $k = 4$  となる。

#### 【 0 0 2 0 】

ついで、キャリア  $\#n\_max\_1 \sim \#n\_max\_k$  (キャリア #2 ~ #5) のパワーを  $\Delta x$  (合計  $k \cdot \Delta x$ ) 減小し (ステップ 5 0 4)、又、前記キャリア  $\#n\_max\_1 \sim \#n\_max\_k$  (キャリア #2 ~ #5) 以外のキャリアであって、割り当てビットの大きな複数のキャリアのパワーを合計パワー  $k \cdot \Delta x$  まで増加する (ステップ 5 0 5)。パワーを増加するキャリアを割り当てビットの大きなキャリアとする理由は、割り当てビットを 1 ビット増加するためのパワーを考えると、ビット数の大きなキャリアの方が少ないパワーで 1 ビット増加できるからである。尚、元のパワーを正規化して 1 とすればパワーを  $\pm \Delta x$  増減することは利得を  $\pm \Delta x$  することと同じである。

各キャリアのパワー増減後、(1) 式により各キャリアの割り当てビット数を演算し、それぞれの小数点を切り捨てたときのビット数の合計  $b\_sum$  を算出する (ステップ 5 0 6)。これらの様子は図 3 に矢印と黒丸の組み合わせで図示している。キャリア #2 ~ #5 をそれぞれパワー  $\Delta x$  ずつ低下させ (合計  $4 \cdot \Delta x$ )、その分、キャリア #1, #6, #7, #8 のパワーを  $\Delta x$  ずつ増加させる。図 3 の場合、それぞれのキャリアに割り当てられるビット数は図 4 に示すようなり、 $b\_sum = 38$  である。尚、キャリア #1, #6, #7, #8 のパワーをそれぞれ  $\Delta x$  ずつ増加させる代わりに、任意の 1 ~ 3 個のキャリアのパワーをトータルで  $4 \cdot \Delta x$  増加させるようにしても良い。

#### 【 0 0 2 1 】

ついで、既知の方法による合計割り当てビット数  $b\_base$  とパワー増減後の合計割り当てビット数  $b\_sum$  の大小を比較し (ステップ 5 0 7)、 $b\_sum > b\_base$  であれば、あるいは、 $k = 0$  であれば、本発明の第 1 ビットアロケーション処理を終了する (ステップ 5 0 8)。すなわち、ビット／ゲイン割当て部 3 3 2 は、キャ



リア毎の割り当てビット数 $B$ 及びキャリア毎の加算利得 $G$ を含むアロケーションテーブルを作成して記憶部 3 3 3 に保存し、しかる後、該アロケーションテーブルを送信部 3 1 0 より局側へ送出する。

一方、 $b\_sum \leq b\_base$ であれば $k$ を減小し（ステップ 5 0 9）、以後、ステップ 5 0 3 以降の処理を繰り返す。図 4 の例では、対象キャリアが #2～#5 ( $k=4$ ) であったので、例えば、対象キャリアを #3～#5 ( $k=3$ ) のように、高域から減らしてもよいし、あるいは、対象キャリアを #2～#4 ( $k=3$ ) のように、低域から減らしても良い。また、対象キャリアを # 3 のみ ( $k=1$ ) のように、低域、高域を適当な数だけ減らしても良い。そして、再度、 $b\_sum$ を求め、条件分岐で、YESとなるまで続ける。ただし、ステップ 5 0 7 において、「YES」とならなくても、 $k=0$ となれば処理を終了して、ビット割り当ては既知の方法によるビットアロケーション（合計ビットは $b\_base$ ）のままとする。

尚、図 2 の条件分岐で、「YES」となり、本来ならば処理を終了する場合でも、対象キャリア数 $k$ を縮小して、最適なビットアロケーションを探索してもよい。

以上、第 1 のビットアロケーション方法によれば、トータルのパワーを増大せずに各キャリアへ割り当てる伝送ビット数の総和を増加することができ、マルチキャリア伝送装置の伝送能力をアップできる。

#### 【 0 0 2 2 】

##### ・ 変形例

以上はマルチキャリア伝送装置の伝送能力をアップする場合について説明したが、本発明は加入者線伝送システムのトレーニング時に行なわれるビットアロケーション処理に適用できる。図 5 は本発明のトレーニング時に行なわれるビットアロケーション処理フローである。

DMT変調方式による加入者線伝送システムにおいて、1シンボル期間は $1/4000$  sec (=250  $\mu$ s) であり、1シンボルは $M$ ビットで構成される。したがって、この $M$ ビットを1シンボル期間にマルチキャリア伝送する必要がある。

そこで、トレーニング時においてまず既知のアロケーション方法によりビットアロケーションを行ない（ステップ 5 5 1）、 $M$ ビットの割り当てができたかチ

ェックする(ステップ552)。Mビットの割り当てができればビットアロケーション処理を終了する。しかし、Mビットの割り当てができなければ、図2のビットアロケーションアルゴリズムにおけるステップ502以降の処理を行なって割り当てビットを増加してMビットの割り当てを行なう(ステップ553)。

【0023】

(C) 第2のアロケーション方法

図6は本発明の受信B & G制御部330による第2のビットアロケーションのアルゴリズム、図7は第2のビットアロケーション方法の説明図である。

まず、既知の方法に従ってビットアロケーションを行い(ステップ601)、全キャリアに割り当てた合計ビット数 $b\_base$ を算出する(ステップ602)。図7の例では図3の例と同じであるので詳細な説明は省略するが、結果として図17に示すように各キャリア#1～#12にビットが割り当てられ、 $b\_base = 35$ となる。

合計ビット数 $b\_base$ の算出が完了すれば、0ビット割り当て対象キャリア範囲 $\#n\_min\_1 \sim \#n\_min\_k$ を確認する(ステップ603)。0ビット割り当て対象キャリアとは、ビット割り当てが0ビットとなったキャリアのうち、パワー増加で新たにビットが割り当てられる可能性の高いキャリアである。実際には、図7に示す通り、高域になるほどS/N曲線は低下していく。そのため、高域のキャリアほどビットが割り当てられない可能性が高い。したがって、現在ビットが割り当てられている最高周波数のキャリアから高域側に数キャリア分が対象範囲となる場合が多い。図7では、キャリア#9までビットが割り当てられているので、それにより高域側のキャリア#10～#11までを対象キャリア範囲とする。この場合 $k=2$ となる。

【0024】

ついで、キャリア $\#n\_min\_1 \sim \#n\_min\_k$  (キャリア#10～#11)のパワーを $\Delta x$ (合計 $k \cdot \Delta x$ )増加し(ステップ604)、又、前記キャリア $\#n\_min\_1 \sim \#n\_min\_k$  (キャリア#10～#11)以外のキャリアであって、なるべく割り当てビットの小さなキャリアのパワーを合計パワー $k \cdot \Delta x$ まで減小する(ステップ605)。ただし、パワーを減小するキャリアには、2ビットが割り当てられているキャリア#8

～#9を含めないこととする。これは、割り当てビット数が2のキャリアのパワーを減小すると、割り当てビット数が2から0になる場合があるからである。したがって、割り当てビットの小さなキャリアとは、3ビット割り当てのキャリアからということになる。

各キャリアのパワー増減後、(1)式により各キャリアの割り当てビット数を演算し、それぞれの小数点を切り捨てたときのビット数の合計 $b\_sum$ を算出する(ステップ606)。これらの様子は図7に矢印と黒丸の組み合わせで図示している。キャリア#10～#11をそれぞれパワー $\Delta x$ ずつ増加させ(合計 $2 \cdot \Delta x$ )、その分、キャリア#6,#7をそれぞれパワー $\Delta x$ ずつ低下させた。尚、キャリア#6,#7にそれぞれパワー $\Delta x$ ずつ減少させる代わりに、キャリア#6,#7の一方のキャリアのパワーを $2 \cdot \Delta x$ 減少させるなど、トータルで $2 \cdot \Delta x$ 減少させればよい。図7の場合、それぞれのキャリアに割り当てられるビット数は図8に示すようなり、 $b\_sum = 37$ となる。

【0025】

ついで、既知の方法による合計割り当てビット数 $b\_base$ とパワー増減後の合計割り当てビット数 $b\_sum$ の大小を比較し(ステップ607)、 $b\_sum > b\_base$ であれば、あるいは、 $k = 0$ であれば、本発明の第2のビットアロケーション処理を終了する(ステップ608)。すなわち、ビット/ゲイン割当て部332は、キャリア毎の割り当てビット数 $B$ 及びキャリア毎の加算利得 $G$ を含むアロケーションテーブルを作成して記憶部333に保存し、しかる後、該アロケーションテーブルを送信部310より局側へ送出する。

一方、 $b\_sum \leq b\_base$ であれば $k$ を減小し(ステップ609)、以後、ステップ603以降の処理を繰り返す。尚、図6の条件分岐で、YESとなり、処理を終了する場合でも、対象キャリア数 $k$ を縮小して、最適なビットアロケーションを探索してもよい。

以上、第2のアロケーション方法によれば、トータルのパワーを増大せずに各キャリアへ割り当てる伝送ビット数の総和を増加することができ、マルチキャリア伝送装置の伝送能力をアップできる。

尚、以上はマルチキャリア伝送装置の伝送能力をアップする場合について説明

したが、本発明は加入者線伝送システムのトレーニング時に行なわれるビットアロケーション処理(図5)に適用できる。

【0026】

(D) 第3のアロケーション方法

図9は本発明の受信B&G制御部330による第3のビットアロケーションのアルゴリズム、図10は第3のビットアロケーション方法の説明図である。

まず、既知の方法に従ってビットアロケーションを行い(ステップ701)、全キャリアに割り当てた合計ビット数 $b_{base}$ を算出する(ステップ702)。図10の例では図3の例と同じであるので詳細な説明は省略するが、結果として図17に示すように各キャリア#1～#12にビットが割り当てられ、 $b_{base}=35$ となる。

合計ビット数 $b_{base}$ の算出が完了すれば、0ビット割り当て対象キャリア範囲 $\#n_{min\_1} \sim \#n_{min\_k}$ を確認する(ステップ703)。0ビット割り当て対象キャリアとは、割り当てビット数が0となったキャリアであって、パワーアップしても新たにビットが割り当てられる可能性の低いキャリアである。実際には、図10に示す通り、ビット割り当てが0ビットのキャリアの中でも高域側に属するキャリアが対象範囲となることが多い。図10では、ビット割り当てが0ビットのキャリアの中でも、高域側のキャリア#12が対象となる。この場合 $k=1$ である。

【0027】

ついで、キャリア $\#n_{min\_1} \sim \#n_{min\_k}$  (キャリア#12)のパワーを $\Delta x$ (合計 $k \cdot \Delta x$ )減少し(ステップ704)、又、前記キャリア $\#n_{min\_1} \sim \#n_{min\_k}$  (キャリア#12)以外のキャリアであって、なるべく割り当てビットの大きなキャリアのパワーを合計パワー $k \cdot \Delta x$ まで増加する(ステップ705)。ただし、パワー増加するキャリアには、ビット割当て数が最大制限数と等しいキャリアを含めない。これは、ビット割当て数が最大制限数と等しいキャリアの利得を増加しても割り当てビット数は増加しないからである。したがって、図10の場合、パワーアップするキャリアは4ビット割り当てのキャリアからということになる。

各キャリアのパワー増減後、(1)式により各キャリアの割り当てビット数を演算し、それぞれの小数点を切り捨てたときのビット数の合計 $b_{sum}$ を算出する(ス

テップ 7 0 6)。これらの様子は、図 1 0 に矢印と黒丸の組み合わせで図示している。キャリア #12 をパワー  $\Delta x$  ずつ低下させ、その分、キャリア #1 にパワー  $\Delta x$  増加させた。ここで、キャリア #1 にパワー  $\Delta x$  増加させる代わりに、2 つ以上のキャリアに分けてトータルでパワー  $\Delta x$  分増加させてもよい。図 1 0 の場合、それぞれのキャリアに割り当てられるビット数は図 1 1 に示すようなり、 $b\_sum = 36$  となる。

#### 【0 0 2 8】

ついで、既知の方法による合計割り当てビット数  $b\_base$  とパワー増減後の合計割り当てビット数  $b\_sum$  の大きさを比較し（ステップ 7 0 7）、 $b\_sum > b\_base$  であれば、本発明の第 3 のビットアロケーション処理を終了する（ステップ 7 0 8）。すなわち、ビット／ゲイン割当て部 3 3 2 は、キャリア毎の割り当てビット数  $B$  及びキャリア毎の加算利得  $G$  を含むアロケーションテーブルを作成して記憶部 3 3 3 に保存し、しかる後、該アロケーションテーブルを送信部 3 1 0 より局側へ送出する。

一方、 $b\_sum \leq b\_base$  であれば、処理を終了する。これは対象キャリア数  $k$  の範囲を縮小しても結果は変わらないからである。

以上、第 3 のビットアロケーション方法によれば、トータルのパワーを増大せずに各キャリアへ割り当てる伝送ビット数の総和を増加することができ、マルチキャリア伝送装置の伝送能力をアップできる。

尚、以上はマルチキャリア伝送装置の伝送能力をアップする場合について説明したが、本発明は加入者線伝送システムのトレーニング時に行なわれるビットアロケーション処理（図 5）に適用できる。

又、以上述べた本発明の第 1 ～第 3 のビットアロケーションアルゴリズムを組み合わせて使用することもできる。

#### 【0 0 2 9】

##### ・付記

（付記 1） マルチキャリア伝送において各キャリアに割り当てる伝送ビット数及び利得を決定するビットアロケーション方法において、

SN 比に基づいて各キャリアに伝送ビット数を割り当て、

割り当てビット数が最大制限数と等しいキャリアの利得を減小し、かつ、前記キャリア以外のキャリアの利得を増加し、

減小分の利得の総和と増加分の利得の総和が等しくなるように制御して各キャリアへ割り当てる伝送ビット数の総和を増加する、

ことを特徴とするビットアロケーション方法。

(付記2) 前記利得を増加するキャリアは、割り当てビット数が大きいキャリアである、

ことを特徴とする付記1記載のビットアロケーション方法。

【0030】

(付記3) マルチキャリア伝送において各キャリアに割り当てる伝送ビット数及び利得を決定するビットアロケーション方法において、

SN比に基づいて各キャリアに伝送ビット数を割り当て、

ビットが割り当てられていないキャリアのうち、利得を増加すれば新たにビットが割り当てられる可能性が高いキャリアの利得を増加し、かつ、該キャリア以外のキャリアの利得を減小し、

増加分の利得の総和と減小分の利得の総和が等しくなるように制御して各キャリアへ割り当てる伝送ビット数の総和を増加する、

ことを特徴とするビットアロケーション方法。

(付記4) 前記利得を減小するキャリアは、割り当てビット数が2以外で、割り当てビット数が少ないキャリアである、

ことを特徴とする付記3記載のビットアロケーション方法。

【0031】

(付記5) マルチキャリア伝送において各キャリアに割り当てる伝送ビット数及び利得を決定するビットアロケーション方法において、

SN比に基づいて各キャリアに伝送ビット数を割り当て、

ビットが割り当てられていないキャリアのうち、利得を増加しても新たにビットが割り当てられる可能性が低いキャリアの利得を減小し、かつ、該キャリア以外のキャリアの利得を増加し、

減小分の利得の総和と増加分の利得の総和が等しくなるように制御して各キャ

リアへ割り当てる伝送ビット数の総和を増加する、

ことを特徴とするビットアロケーション方法。

(付記 6) 前記利得を増加するキャリアは、ビット割当て数が最大制限数と等しいキャリア以外のキャリアである付記 5 記載のビットアロケーション方法。

【 0 0 3 2 】

(付記 7) マルチキャリア伝送において各キャリアに割り当てる伝送ビット数及び利得を決定するビットアロケーション装置において、

各キャリアの SN 比を測定する SN 比測定部、

SN 比に基づいて各キャリアに伝送ビット数を割り当て、しかる後、割り当てビット数が最大制限数と等しいキャリアの利得を減小し、かつ、該キャリア以外のキャリアの利得を増加し、減小分の利得の総和と増加分の利得の総和が等しくなるように制御して各キャリアに割り当てるビット数、利得を決定する制御部、

キャリア毎に割り当てられたビット数及び利得を保存するアロケーションテーブル、

アロケーションテーブルの内容を通信相手側に送信する送信部、

通信相手から送信されたデータを受信、復調する受信部に前記各キャリアの割り当てビット数及び利得を設定する設定部、

を備えたことを特徴とするビットアロケーション装置。

【 0 0 3 3 】

(付記 8) マルチキャリア伝送において各キャリアに割り当てる伝送ビット数及び利得を決定するビットアロケーション装置において、

各キャリアの SN 比を測定する SN 比測定部、

SN 比に基づいて各キャリアに伝送ビット数を割り当て、しかる後、ビットが割り当てられていないキャリアのうち、利得を増加すれば新たにビットが割り当てられる可能性が高いキャリアの利得を増加し、かつ、該キャリア以外のキャリアの利得を減小し、増加分の利得の総和と減小分の利得の総和が等しくなるように制御して各キャリアへ割り当てるビット数、利得を決定する制御部、

キャリア毎に割り当てられたビット数及び利得を保存するアロケーションテーブル、

アロケーションテーブルの内容を通信相手側に送信する送信部、  
通信相手から送信されたデータを受信、復調する受信部に前記各キャリアの割り当てビット数及び利得を設定する設定部、  
を備えたことを特徴とするビットアロケーション装置。

【0034】

(付記9) マルチキャリア伝送において各キャリアに割り当てる伝送ビット数及び利得を決定するビットアロケーション装置において、

各キャリアのSN比を測定するSN比測定部、

SN比に基づいて各キャリアに伝送ビット数を割り当て、しかる後、ビットが割り当てられていないキャリアのうち、利得を増加しても新たにビットが割り当てられる可能性が低いキャリアの利得を減小し、かつ、該キャリア以外の利得を増加し、減小分の利得の総和と増加分の利得の総和が等しくなるように制御して各キャリアへ割り当てるビット数、利得を決定する制御部、

キャリア毎に割り当てられたビット数及び利得を保存するアロケーションテーブル、

アロケーションテーブルの内容を通信相手側に送信する送信部、

通信相手から送信されたデータを受信、復調する受信部に前記各キャリアの割り当てビット数及び利得を設定する設定部、

を備えたことを特徴とするビットアロケーション装置。

【0035】

【発明の効果】

以上本発明によれば、(1) SN比に基づいて各キャリアに伝送ビット数を割り当て、(2) しかる後、割り当てビット数が最大制限数と等しいキャリアの利得を減小し、かつ、前記キャリア以外のキャリアの利得を増加し、(3) 減小分の利得の総和と増加分の利得の総和が等しくなるように制御したから、パワーを増大せずに各キャリアへ割り当てる伝送ビット数の総和を増加することができ、マルチキャリア伝送装置の伝送能力をアップすることができる。この場合、利得を増加するキャリアを割り当てビット数が大きいキャリアとしたから、効果的にトータルの割り当てビット数を増加することができる。



又、本発明によれば、(1) SN比に基づいて各キャリアに伝送ビット数を割り当て、(2) しかる後、ビットが割り当てられていないキャリアのうち、利得を増加すれば新たにビットが割り当てられる可能性が高いキャリアの利得を増加し、かつ、該キャリア以外の利得を減小し、(3) 増加分の利得の総和と減小分の利得の総和が等しくなるように制御したから、パワーを増大せずに各キャリアへ割り当てる伝送ビット数の総和を増加することができ、マルチキャリア伝送装置の伝送能力をアップできる。この場合、利得を減小するキャリアを割り当てビット数が2以外で、割り当てビット数が少ないキャリアとしたから、効果的にトータルの割り当てビット数を増加することができる。

又、本発明によれば、(1) SN比に基づいて各キャリアに伝送ビット数を割り当て、(2) しかる後、ビットが割り当てられていないキャリアのうち、利得を増加しても新たにビットが割り当てられる可能性が低いキャリアの利得を減小し、かつ、該キャリア以外の利得を増加し、(3) 減小分の利得の総和と増加分の利得の総和が等しくなるように制御したから、パワーを増大せずに各キャリアへ割り当てる伝送ビット数の総和を増加することができ、マルチキャリア伝送装置の伝送能力をアップできる。この場合、利得を増加するキャリアを、ビット割当て数が最大制限数と等しいキャリア以外の大きなキャリアとしたから、効果的にトータルの割り当てビット数を増加することができる。

【図面の簡単な説明】

【図1】

本発明のDMT変調方式による加入者伝送システムの構成図である。

【図2】

本発明の第1のビットアロケーション方法のアルゴリズムである。

【図3】

本発明の第1のビットアロケーション方法の説明図である。

【図4】

本発明の第1のビットアロケーション方法で割り当てたビット数の説明図表である。

【図5】

トレーニング時のビットアロケーション処理フローである。

【図 6】

本発明の第 2 のビットアロケーション方法のアルゴリズムである。

【図 7】

本発明の第 2 のビットアロケーション方法の説明図である。

【図 8】

本発明の第 2 のビットアロケーション方法で割り当てたビット数の説明図表である。

【図 9】

本発明の第 3 のビットアロケーション方法のアルゴリズムである。

【図 1 0】

本発明の第 3 のビットアロケーション方法の説明図である。

【図 1 1】

本発明の第 3 のビットアロケーション方法で割り当てたビット数の説明図表である。

【図 1 2】

DMT送信スペクトル説明図である。

【図 1 3】

1 6 - Q A Mの説明図である。

【図 1 4】

DMT変調方式の原理説明図である。

【図 1 5】

DMT変調方式による加入者伝送システムの機能ブロック図である。

【図 1 6】

B & G プロトコルの概略説明図である。

【図 1 7】

S/Nと最適ビット数及び実際の割り当てビット数の関係説明図である。

【図 1 8】

キャリアと割り当てビット数の関係図表である。

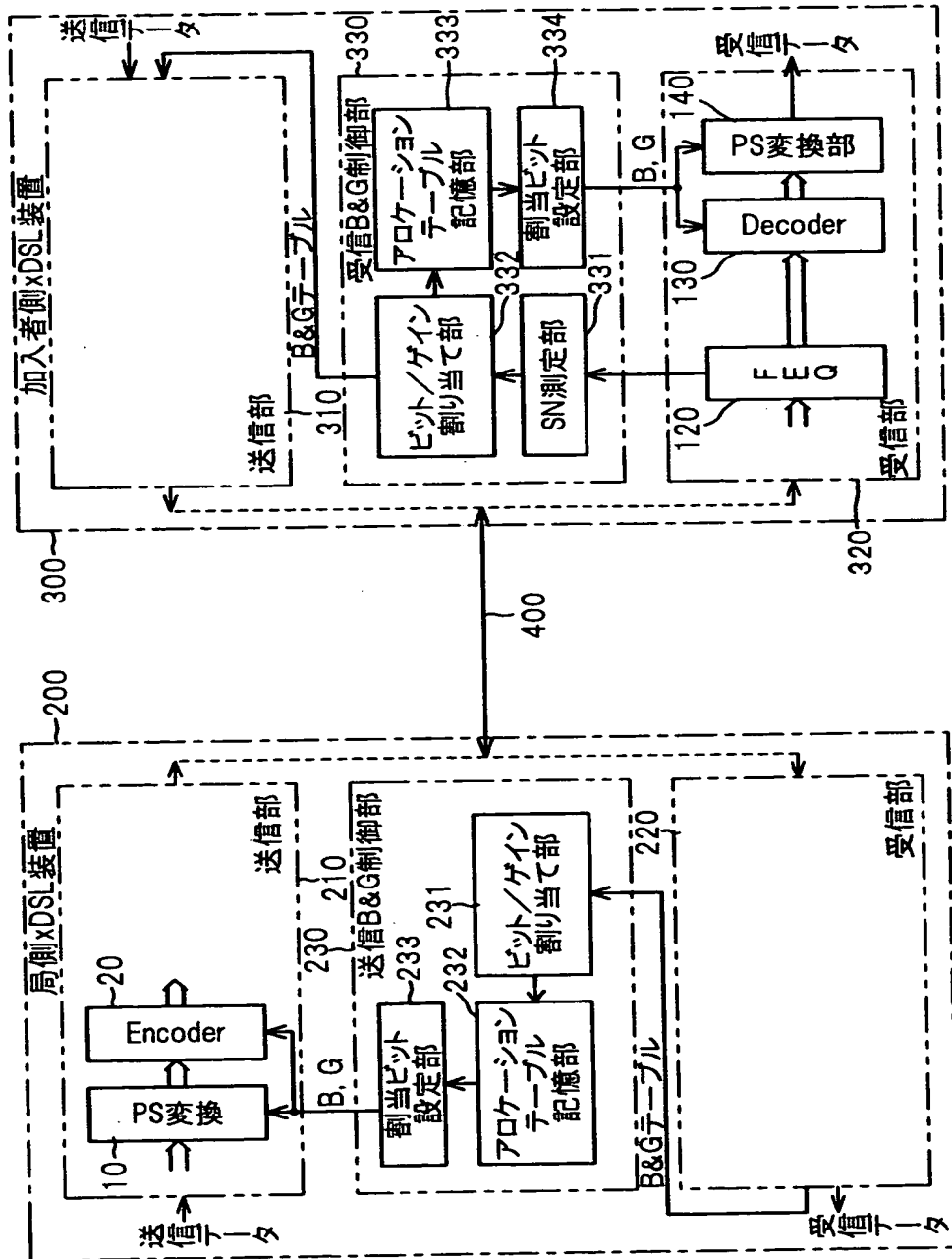
【符号の説明】

2 0 0 ・ ・ 局側xDSL装置  
2 1 0 , 3 1 0 ・ ・ 送信部  
2 2 0 , 3 2 0 ・ ・ 受信部  
2 3 0 ・ ・ 送信 B & G 制御部  
3 3 0 ・ ・ 受信 B & G 制御部  
2 3 1 ・ ・ ビット／ゲイン割り当て部  
2 3 2 ・ ・ アロケーションテーブル記憶部  
2 3 3 ・ ・ ビット／ゲイン設定部  
3 0 0 ・ ・ 加入者側xDSL装置  
3 3 1 ・ ・ S N 測定部  
3 3 2 ・ ・ ビット／ゲイン割り当て部  
3 3 3 ・ ・ アロケーションテーブル記憶部  
3 3 4 ・ ・ 割り当てビット／ゲイン設定部  
4 0 0 ・ ・ 電話回線（メタリック回線）

【書類名】 図面

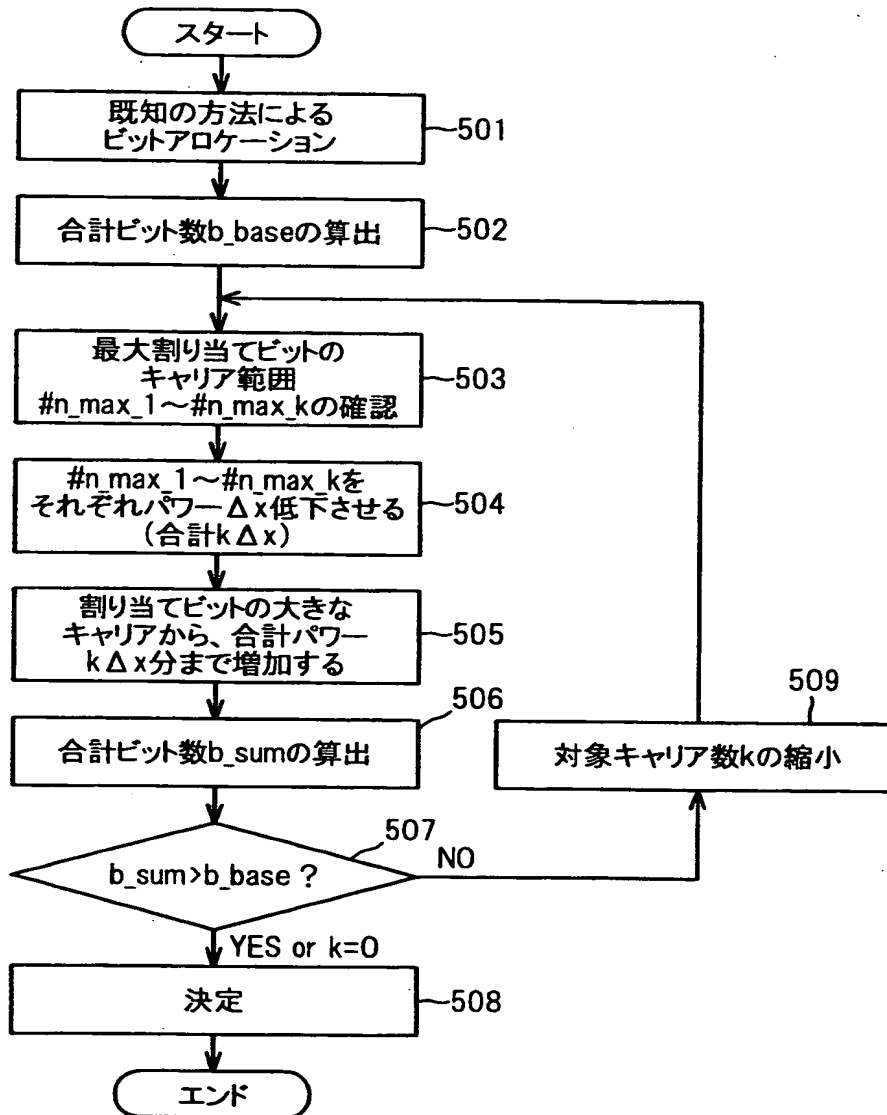
【図 1】

本発明のDMT変調方式による加入者伝送システムの構成図



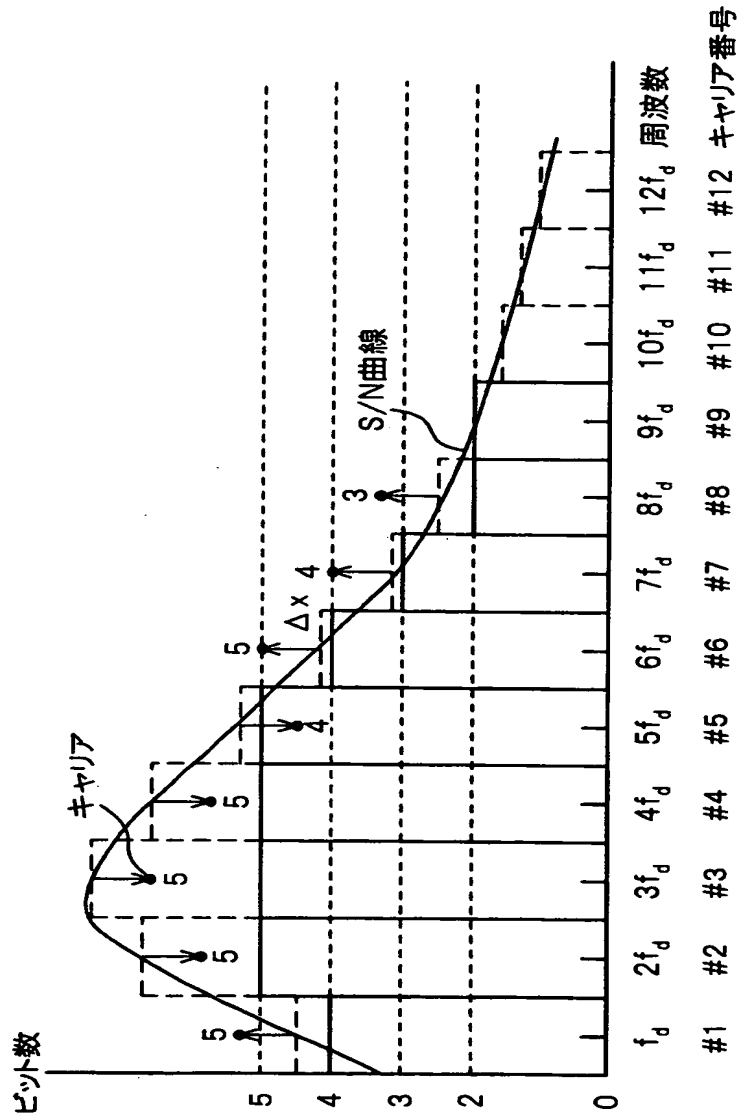
【図 2】

本発明の第1のビットアロケーションのアルゴリズム



【図 3】

本発明の第1のビットアロケーションの説明図



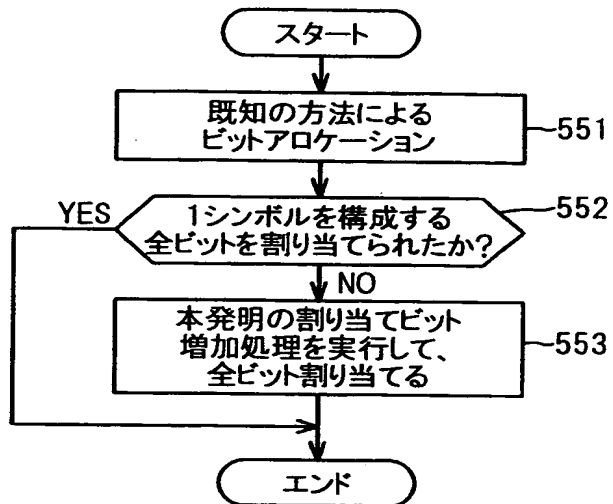
【図 4】

第一の発明によるビットアロケーションで割り当てられるビット数

番号	1	2	3	4	5	6	7	8	9	10	11	12	合計
ビット	5	5	5	5	4	5	4	3	2	0	0	0	38
加算 利得	+Δx	-Δx	-Δx	-Δx	-Δx	+Δx	+Δx	+Δx	0	0	0	0	0

【図 5】

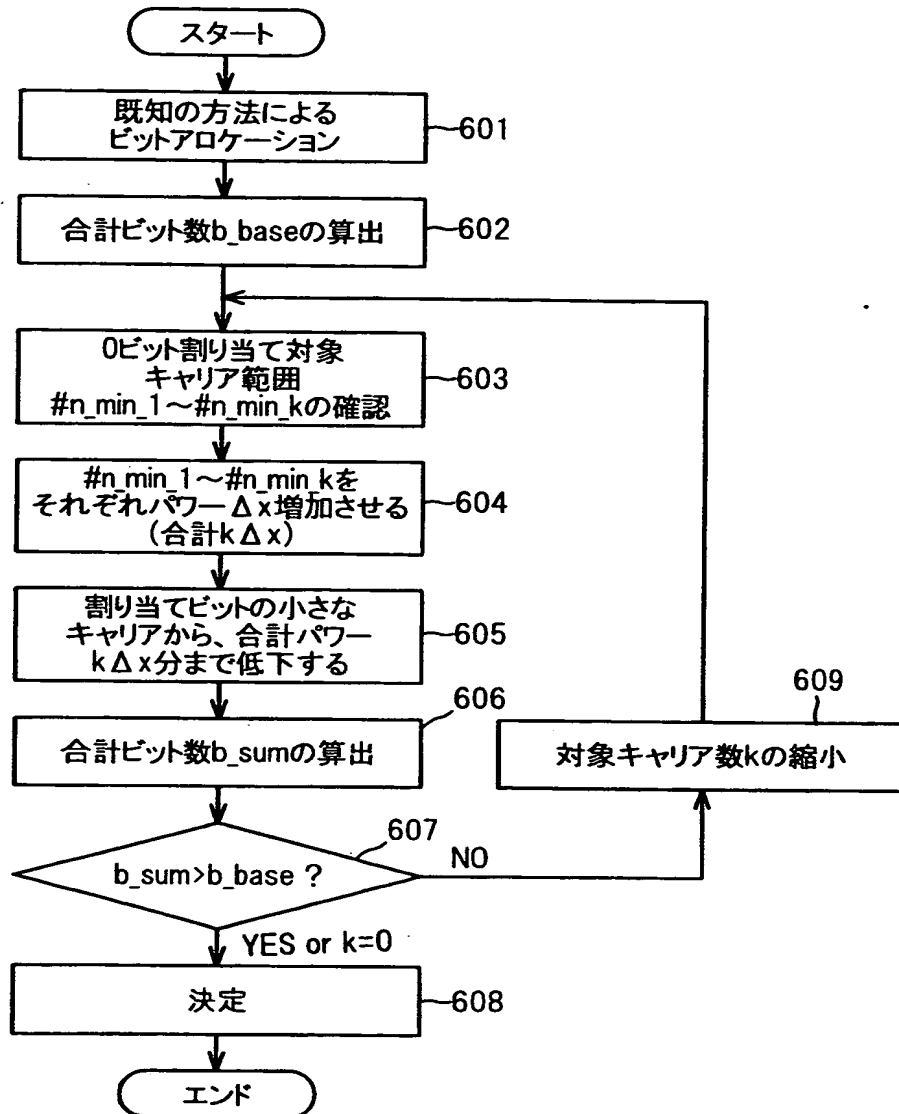
トレーニング前のビットアロケーション処理





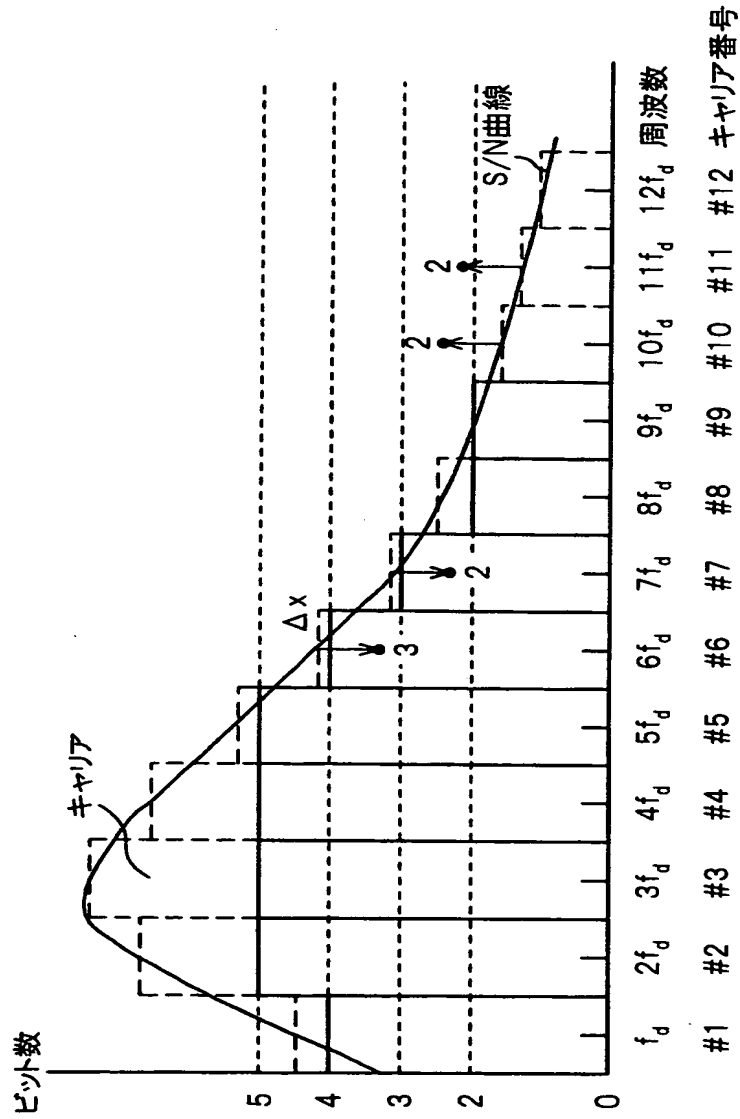
【図 6】

本発明の第2のビットアロケーションのアルゴリズム



【図 7】

本発明の第2のビットアロケーションの説明図



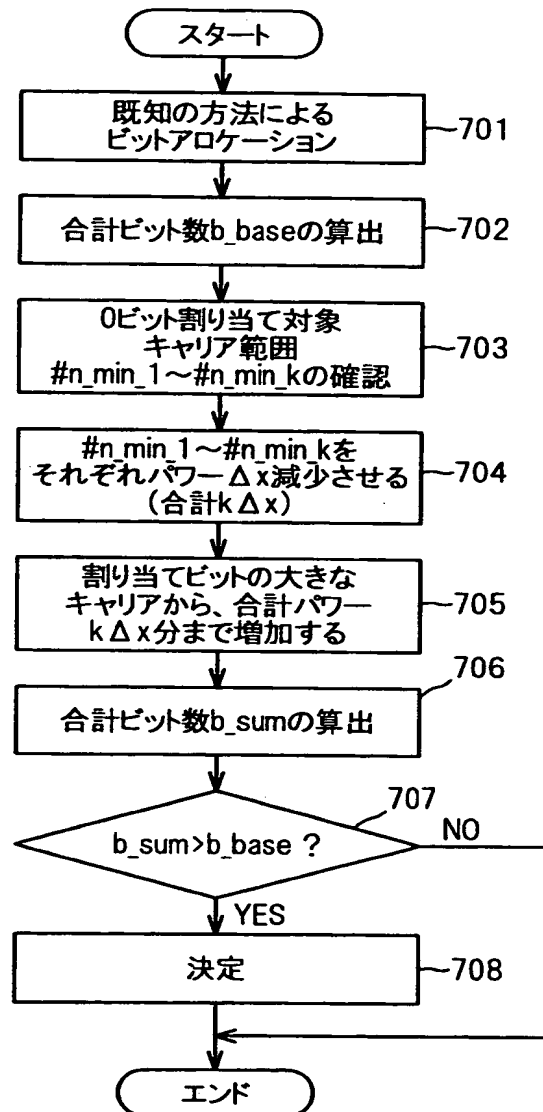
【図 8】

第二の発明によるビットアロケーションで割り当てられるビット数

番号	1	2	3	4	5	6	7	8	9	10	11	12	合計
ビット	4	5	5	5	5	3	2	2	2	2	2	0	37
加算 利得	0	0	0	0	0	-Δx	-Δx	0	0	+Δx	+Δx	0	0

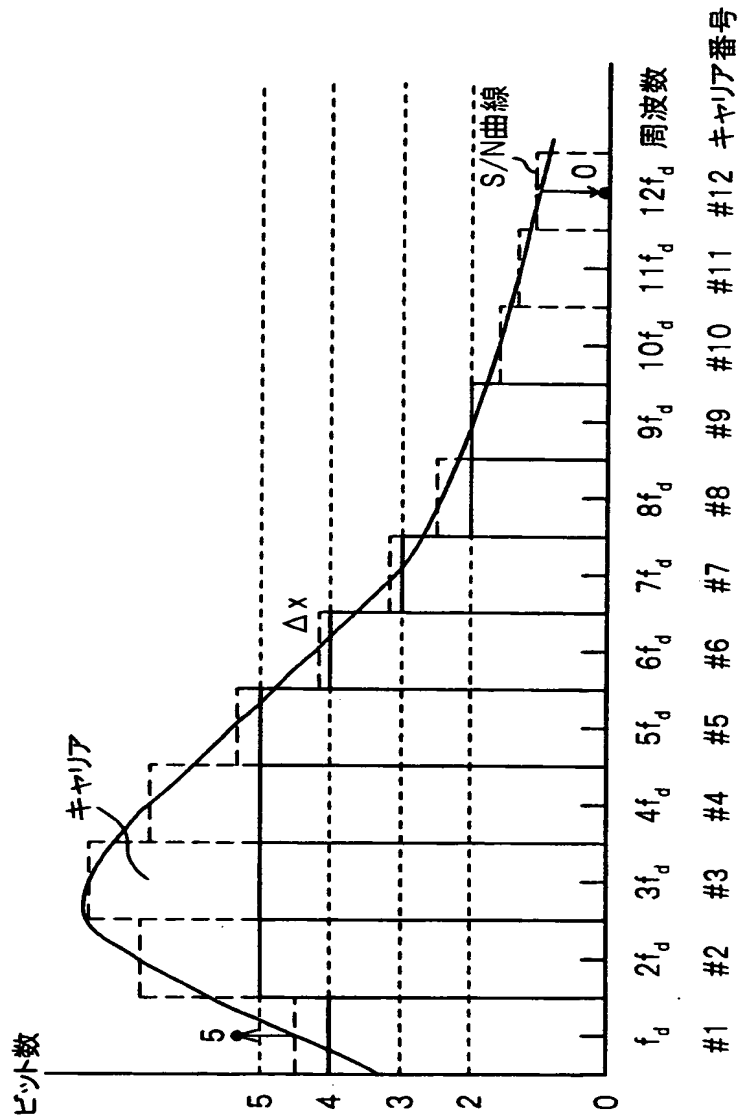
【図 9】

本発明の第3のビットアロケーションのアルゴリズム



【図 1 0】

本発明の第3のビットアロケーションの説明図



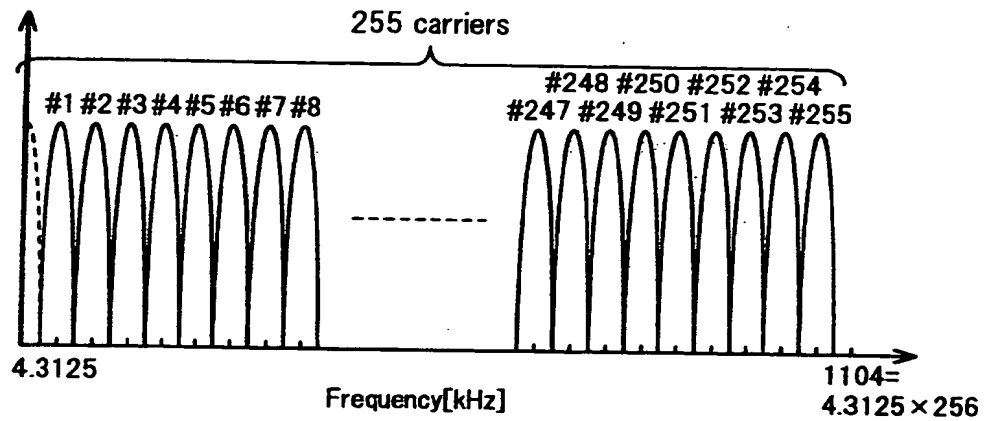
【図 1 1】

第三の発明によるビットアロケーションで割り当てられるビット数

番号	1	2	3	4	5	6	7	8	9	10	11	12	合計
ビット	5	5	5	5	5	4	3	2	2	0	0	0	36
加算 利得	+Δx	0	0	0	0	0	0	0	0	0	0	-Δx	0

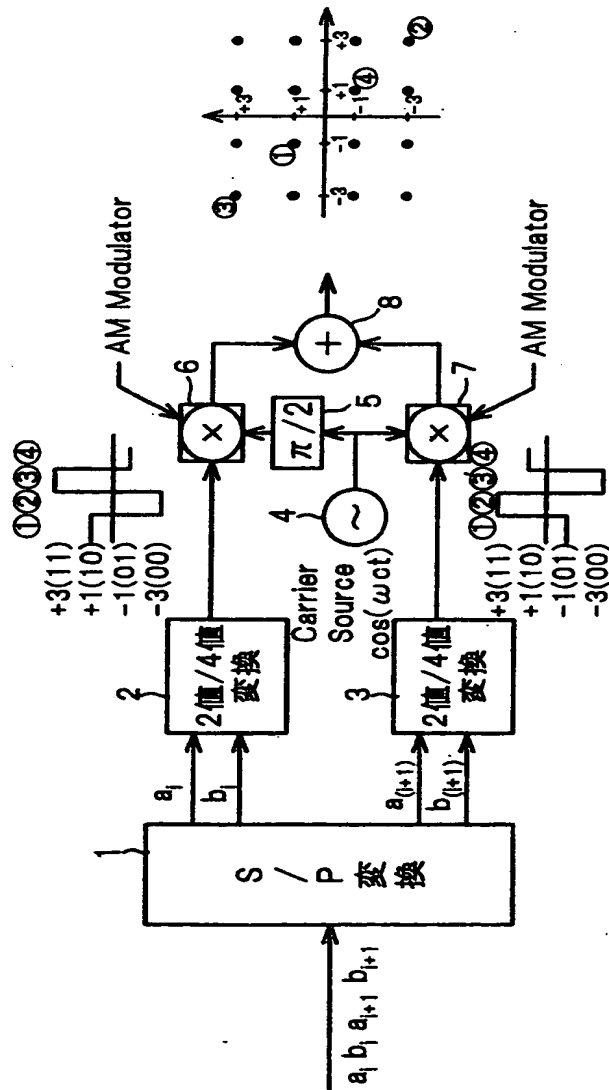
【図 1 2】

DMT送信スペクトル説明図



【図 13】

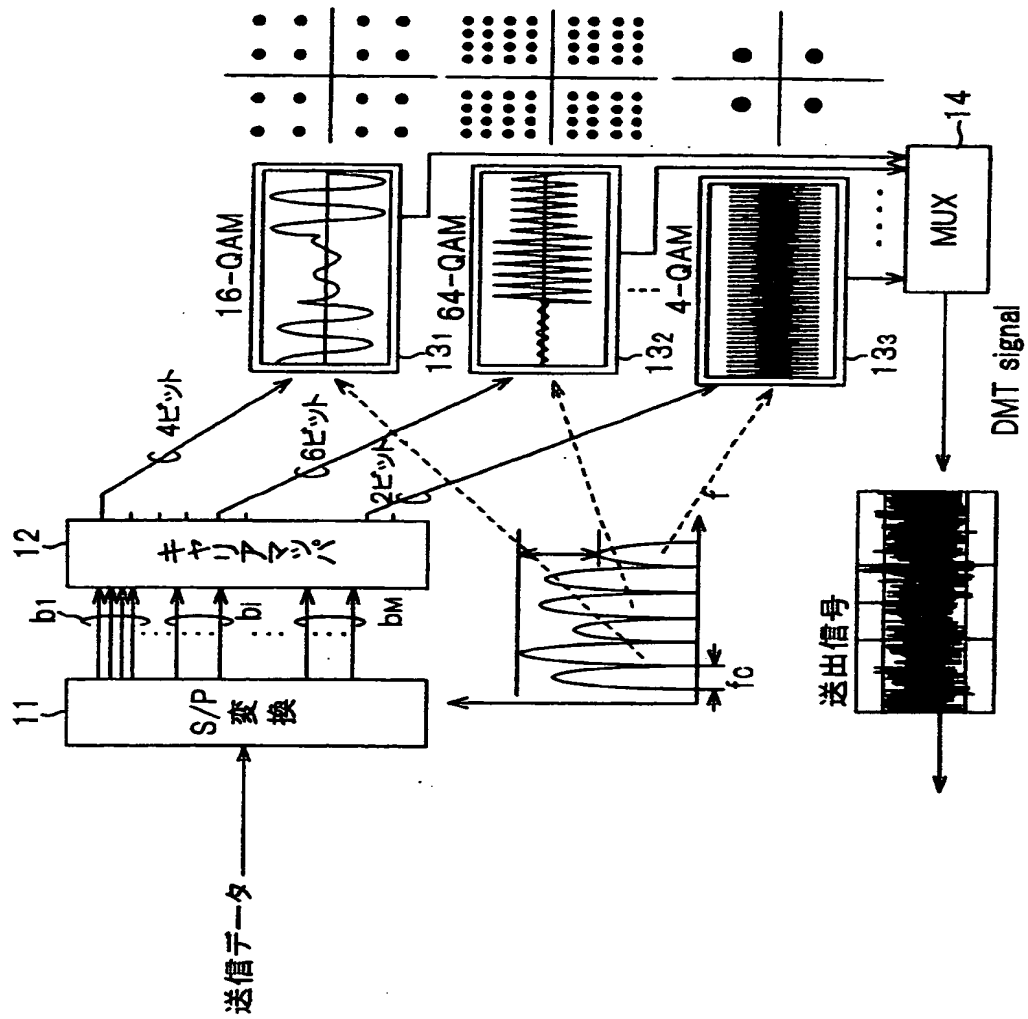
16-QAMの説明図





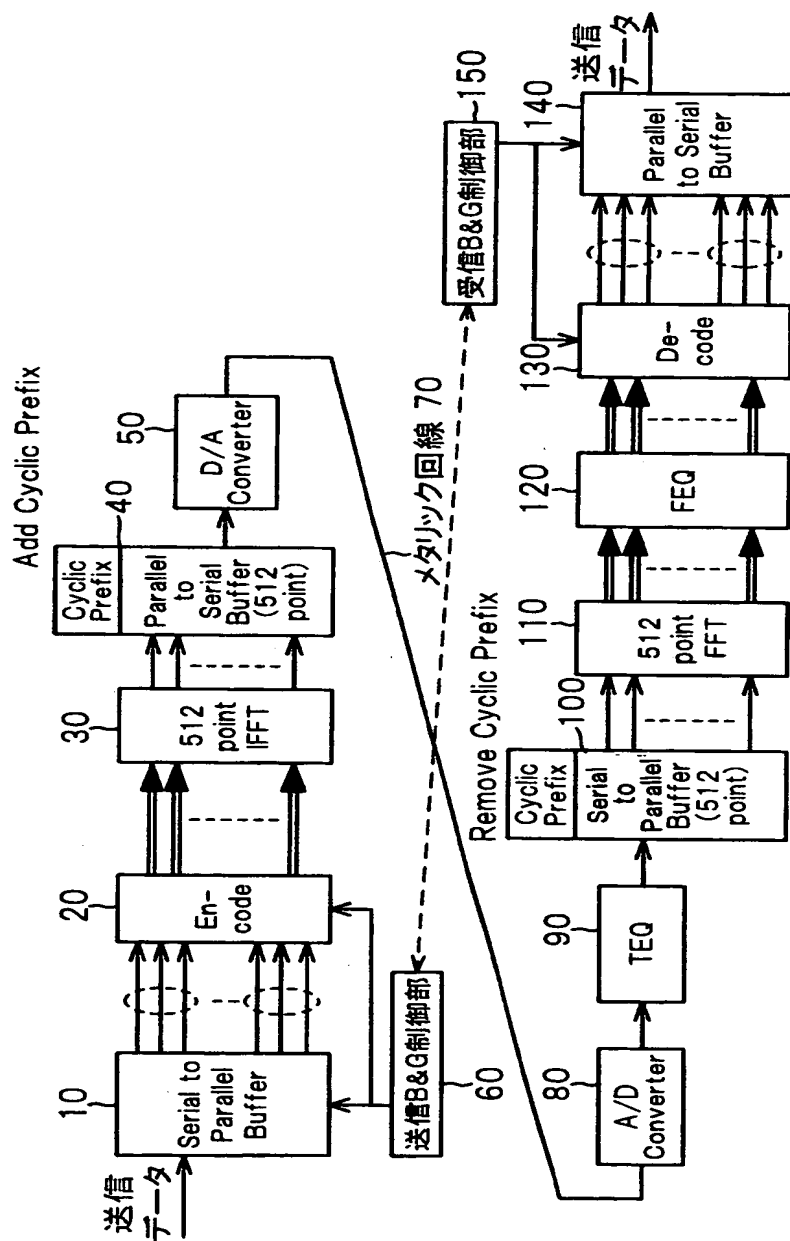
【図14】

DMT変調方式の原理説明図



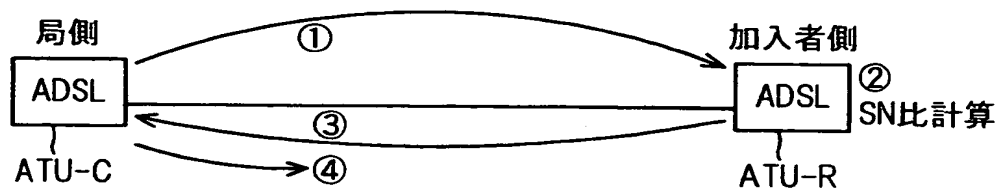
【図 15】

DMT変調方式による加入者伝送システムの機能ブロック図



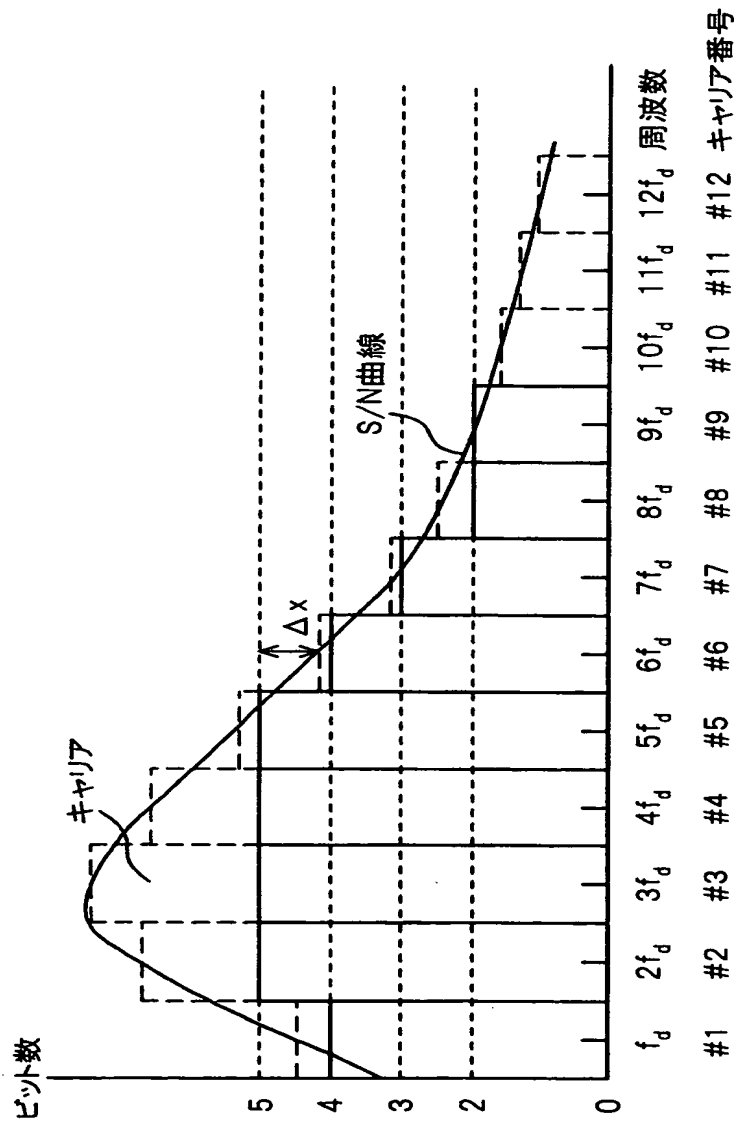
【図 1 6】

B&Gプロトコルの概略説明図



【図 1 7】

S/Nと最適ビット数、実際の割り当てビット数の関係説明図



【図 1 8】

キャリアと割り当てビット数の関係図表

既知の方法によるビットアロケーションで割り当てられるビット数													
キャリア 番号	1	2	3	4	5	6	7	8	9	10	11	12	合計
ビット	4	5	5	5	5	4	3	2	2	0	0	0	35

【書類名】 要約書

【要約】

【課題】 マルチキャリア伝送において、短時間で各キャリアに最適な利得、ビット数を割り当てれるようにする。

【解決手段】 マルチキャリア伝送において各キャリアに割り当てる伝送ビット数及び利得を決定する場合、ビット／ゲイン割当て部 3 3 2 は、(1) SN比に基づいて各キャリアに伝送ビット数を割り当て、ついで、(2) 割り当てビット数が最大制限数のキャリアの利得を減小し、かつ、該キャリア以外のキャリアの利得を増加し、(3) 減小分の利得の総和と増加分の利得の総和が等しくなるように制御して各キャリアへ割り当てる伝送ビット数の総和を増加する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2000-319043
受付番号	50001351551
書類名	特許願
担当官	高田 良彦 2319
作成日	平成12年10月23日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005223
【住所又は居所】	神奈川県川崎市中原区上小田中4丁目1番1号
【氏名又は名称】	富士通株式会社

【代理人】

【識別番号】	100084711
【住所又は居所】	千葉県千葉市花見川区幕張本郷1丁目14番10号 幸栄パレス202 齋藤特許事務所
【氏名又は名称】	斉藤 千幹

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社